

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09321104
PUBLICATION DATE : 12-12-97

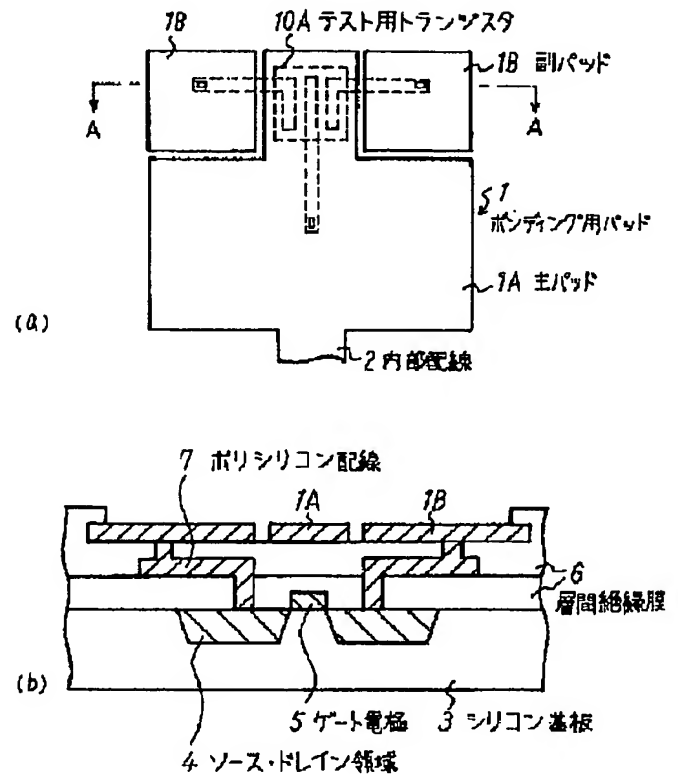
APPLICATION DATE : 30-05-96
APPLICATION NUMBER : 08137162

APPLICANT : NEC YAMAGATA LTD;

INVENTOR : INOUE ITARU;

INT.CL. : H01L 21/66 G01R 31/26 G01R 31/28
H01L 27/04 H01L 21/822

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To reduce the chip size by forming test elements in lower parts of pads or lower parts between pads and their input/outputs connected to main pads or aux. pads to reduce TEG pattern regions.

SOLUTION: On a Si substrate 3, test transistors 10A composed of source- drain regions 4, gate electrodes 5, polysilicon wirings 7 formed in an interlayer insulation film 6, etc., are formed. On the upper parts of the transistors 10A, a bonding pad 1 composed of an Al-made large main pad 1A connected to inner wirings 2 and two aux. pads 1B divided and electrically separated from the main pad is formed. Three terminals of the polysilicon wiring 7 for the transistor 10A are connected to the pads 1A, 1B. The transistor 10A is formed just beneath the pads 1A, 1B and hence a TEG pattern region for each semiconductor chip can be omitted.

COPYRIGHT: (C)1997,JPO

BLANK PAGE

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321104

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	E
				Y
G 0 1 R 31/26			G 0 1 R 31/26	J
			31/28	V
H 0 1 L 27/04			H 0 1 L 27/04	E

審査請求 有 請求項の数 2 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願平8-137162

(22) 出願日 平成8年(1996)5月30日

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 井上 格

山形県山形市北町四丁目12番12号 山形日本電気株式会社内

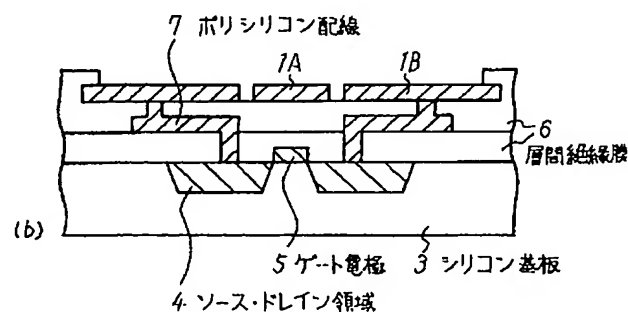
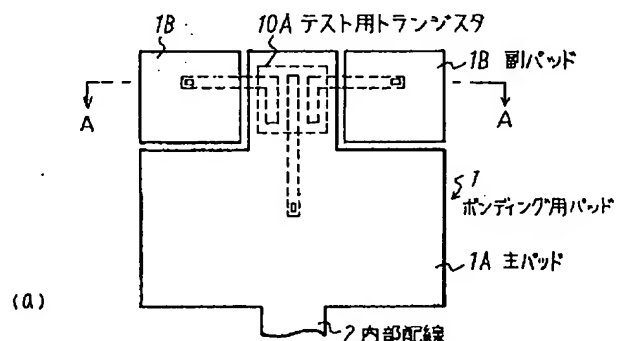
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 TEGパターン領域を必要とする為、集積度が向上しない。

【解決手段】 ボンディング用パッド1を内部配線2に接続する面積の大きい主パッド1Aと、この主パッド1Aと電気的に分離された副パッド1Bとから構成し、テスト用トランジスタ10Aをボンディング用パッドの下部に形成し、その入出力部を主パッド1A又は副パッド1Bに接続する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された内部配線と、この内部配線に接続されたボンディング用パッドと、前記半導体基板上に形成されたテスト用素子とを有する半導体集積回路において、前記パッドは前記内部配線に接続する主パッドとこの主パッドから電気的に分離された副パッドとから構成されると共に、前記テスト用素子は前記パッドの下部又は前記パッド間の下部に形成されその入出力部は前記主パッド又は前記副パッドにそれぞれ接続されていることを特徴とする半導体集積回路。

【請求項2】 ボンディング用のパッドは少くともテスト用素子の入出力部の端子の数だけに分割されている請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特にテスト用素子を有する半導体集積回路に関する。

【0002】

【従来の技術】一般に半導体集積回路においては、図4に示されているように、各半導体チップ中に形成される個々の各半導体素子の電気的特性をモニタするために、それぞれの各半導体チップ毎に、TEG（テスト・エレメント・グループ）パターン領域20を配置し、TEGパターン領域20内にモニタ装置用素子構造を組み込むのが通常の態様である（例えば特開平4-365347号公報）。ここで、図4中、符号22は半導体チップ中に形成される各素子と同じ構造のテスト用トランジスタを示しており、この場合は、3端子を有するトランジスタである。また、21はテスト用トランジスタ22に対し、ポリシリコン配線23により接続されて電極となるアルミパッドであり、これらの各アルミパッド21には、評価装置、いわゆるテスター（図示省略）の端子に接続された検出針を接触させ得ようになっている。又、このTEGパターン領域を小さくする為に、アルミパッド21の下層側にテスト用トランジスタや配線を形成することも同公報内に提案されている。

【0003】パッドの下層を利用するものとしては、特開昭60-246668号公報に記載されているように、外部リード取出しパッドの下層領域にダイオードまたはダイオードと抵抗体からなる入出力保護回路を形成し、チップサイズの縮小化をはかっている例もある。

【0004】

【発明が解決しようとする課題】上述した従来のTEGパターン領域内にモニタ装置用素子構造を組み込む場合、TEGパターン領域の占有面積の微細化、ひいては縮小化が極めて困難であるという問題点がある。その理由は、モニタ装置用素子の各素子を限りなく小さくしたとしても、電極となるアルミパッドの面積はある一定以上の大きくなり、必らずTEGパターン領域を必要と

するからである。

【0005】又外部接続リード取り出しパッドの直下にダイオードと抵抗体からなる入出力保護回路を形成し、外部接続リード取り出しパッド直下の空間領域を実用領域とする場合、実使用時に正常動作しない場合があるという問題点がある。その理由は、外部接続リード取り出しパッド直下に配置されるのは本パターンの一部であり、ワイヤーのボンディングを行った際、保護回路素子が破壊されてしまう可能性があるからである。

【0006】本発明の目的は、TEGパターン領域を削除してチップサイズを縮小化し、集積度の向上した半導体集積回路を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体集積回路は、半導体基板上に形成された内部配線と、この内部配線に接続されたボンディング用パッドと、前記半導体基板上に形成されたテスト用素子とを有する半導体集積回路において、前記パッドは前記内部配線に接続する主パッドとこの主パッドから電気的に分離された副パッドとから構成されると共に、前記テスト用素子は前記パッドの下部又は前記パッド間の下部に形成されその入出力部は前記主パッド又は前記副パッドにそれぞれ接続されていることを特徴とするものである。

【0008】

【作用】分割したボンディング用のパッドの直下または分割したパッド間の空間領域をTEGパターン領域としているため、事実上TEGパターンのみの領域が削除でき、なおかつTEGパターンは実使用時には不要となるため、ワイヤーのボンディングを行った際のテスト用素子の破壊等の影響は無視することができる。

【0009】また、ボンディングを行いテスト素子が破壊されずに残った場合には、テスト用素子の端子同士のショートあるいは端子のオープンが考えられるが、テスト用素子としては動作的に機能しないため、この場合も他への影響は無視することができる。

【0010】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1(a)、(b)は本発明の第1の実施の形態を説明する為のボンディング用パッド近傍の平面図及びA-A線拡大断面図である。

【0011】図1(a)、(b)を参照すると、シリコン基板3上には、ソース・ドレイン領域4、ゲート電極5、層間絶縁膜6内に形成されたポリシリコン配線7等からなるテスト用トランジスタ10Aが形成されており、このテスト用トランジスタ10A上部には、内部配線2に接続するA1からなる大きな主パッド1Aとこの主パッド1Aから分割され電気的に分離された2つの副パッド1Bからなるボンディング用のパッド1が形成されている。そしてこの主パッド1A及び副パッド1Bにはテスト用トランジスタ10Aのポリシリコン配線7の

3つの端子が接続されている。

【0012】このように構成された第1の実施の形態によれば、テスト用トランジスタ10Aを主パッド1A及び副パッド1Bの直下に形成している為、従来各半導体チップ毎に設けていたTEGパターン領域をなくすることができる。テスト用トランジスタ10Aの電気的特性は、主パッド1A及び2つの副パッド1Bにテストの検出針を接触させればよい。又、内部配線2に接続された主パッド1Aは大きく形成されている為、ワイヤーをボンディングした場合ワイヤーとの接続は確実にされる。

【0013】図2は本発明の第2の実施の形態を説明する為のボンディング用パッド近傍の平面図であり、2端子を有するテスト用トランジスタをパッドの下部に形成した場合を示す。

【0014】すなわち、ボンディング用パッド1は面積の大きな主パッド1Aと面積の小さい2つの副パッド1Bとから構成され、その下部にテスト用トランジスタ10Bが形成されている。そしてこのテスト用トランジスタ10Bの2つの端子はそれぞれ2つの副パッド1Bに接続されている。この第2の実施の形態においてもTEGパターン領域は不要となる。

【0015】図3は本発明の第3の実施の形態を説明する為のボンディング用パッド近傍の平面図であり、大電流を考慮して2点ボンディングを行う為に配置した2つのパッド間にテスト用トランジスタを形成した場合を示す。

【0016】図3に示すように、内部配線2に接続された2つのボンディング用パッド11、12は、それぞれ面積の大きい主パッド11A、12Aと面積の小さい副パッド11B、12Bとに分割されており、ボンディング用パッド11、12間の下部にテスト用トランジスタ10Bが形成されている。そしてこのテスト用トランジスタ10Bの2つの端子はそれぞれ副パッド11B及び12Bに接続されている。この第3の実施の形態においてもTEGパターン領域は不要となる。

【0017】尚、上記実施の形態においてはボンディン

グ用パッドを2～3分割した場合について説明したが、ワイヤーボンディングに支障のない程度に更に多くの部分に分割してもよい。

【0018】

【発明の効果】以上説明したように本発明は、ボンディング用パッドを電氣的に分離された主パッドと副パッドから構成し、ボンディング用パッドの下部又はボンディング用パッド間の下部にテスト用素子を形成し、このテスト用素子の入出力部を主パッド又は副パッドに接続することにより、従来必要であったTEGパターン領域をなくすることができる為、集積度の向上した半導体集積回路が得られるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する為のボンディングパッド近傍の平面図及び断面図。

【図2】本発明の第2の実施の形態を説明する為のボンディングパッド近傍の平面図。

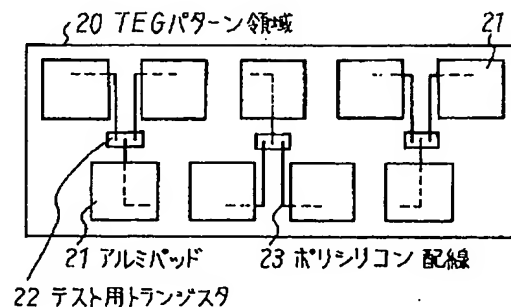
【図3】本発明の第3の実施の形態を説明する為のボンディングパッド近傍の平面図。

【図4】従来の半導体装置のTEGパターン領域の平面図。

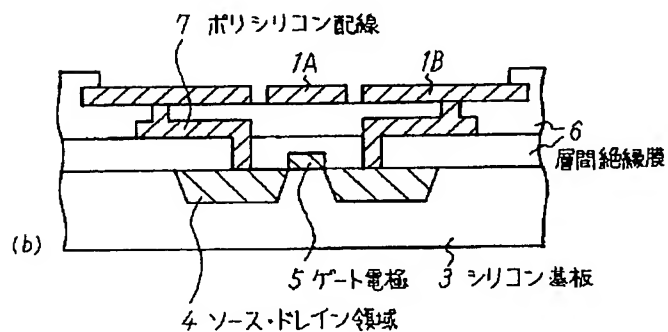
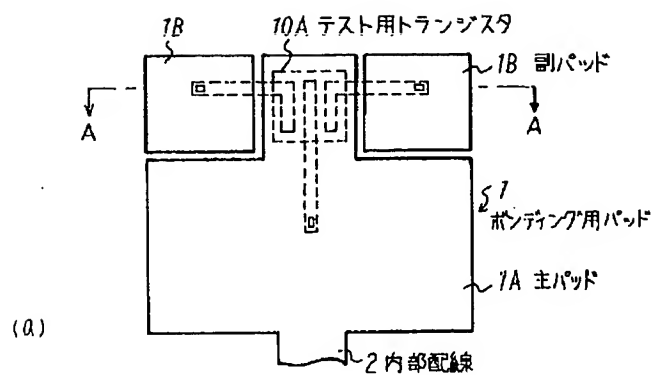
【符号の説明】

- 1, 11, 12 ボンディング用パッド
- 1A, 11A, 12A 主パッド
- 1B, 11B, 12B 副パッド
- 2 内部配線
- 3 シリコン基板
- 4 ソース・ドレイン領域
- 5 ゲート電極
- 6 層間絶縁膜
- 7 ポリシリコン配線
- 10A, 10B テスト用トランジスタ
- 20 TEGパターン領域
- 21 アルミパッド
- 22 テスト用トランジスタ
- 23 ポリシリコン配線

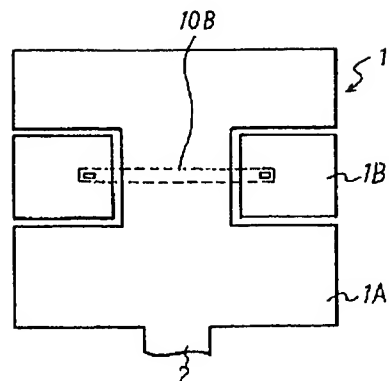
【図4】



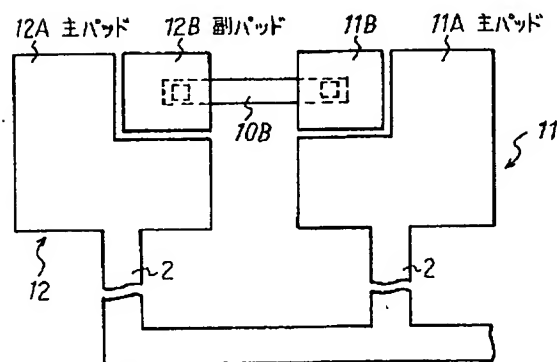
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/822

識別記号

庁内整理番号

F I

技術表示箇所